

Д.т.н., проф. Н.И. Корсунов, к.т.н. Е.В. Корсунова,  
К.т.н. В.В. Муромцев (Белгородский ГУ)

N.I. Korsunov, E.V. Korsunova, V.V. Muromtsev

**КОНВЕЙЕРНЫЙ АЦП С ЗАДАННЫМ ШАГОМ  
ДИСКРЕТИЗАЦИИ ВХОДНОГО СИГНАЛА**

**PIPELINED ADC WITH A GIVEN STEP SAMPLING**

*В статье описано преобразование высокочастотных аналоговых сигналов в цифровой код с заданным шагом дискретизации и фиксированным временем преобразования аналог-код. Приведена структура конвейерного аналого-цифрового преобразователя и определено требуемое количество ступеней конвейера в зависимости от длительности шага дискретизации и времени выполнения преобразования конкретным аналого-цифровым преобразователем*

*Keywords analog-digital converter, ADC, conversion time, storage time, the sampling frequency, counter*

Применение компьютерной техники при обработке аудио-сигналов и изображений требует уменьшения шага дискретизации аналогового сигнала для обеспечения высокого качества преобразования и восстановления! Это, в свою очередь, обуславливает повышение скорости аналого-цифрового преобразования, которое ограничено возможностями используемой элементной базы. Известны методы решения этой задачи введением многоканального преобразования [1], которое не решает вопроса выполнения преобразования при высокой частоте дискретизации входного сигнала с использованием аналого-цифрового преобразователя (АЦП) с временем задержки, значительно большим интервала дискретизации.

Целью исследований, приведенных в статье, являлось обеспечение получения цифровых значений сигнала при максимальной частоте дискретизации входного сигнала с использованием АЦП с фиксированным временем преобразования, большим интервала дискретизации .

Основным методом, используемым для решения поставленной задачи, является организация конвейерной обработки при выполнении аналого-цифрового преобразования. Организация конвейерной обработки информации связана с введением промежуточной

памяти [2]. Однако, введение промежуточной памяти при выполнении аналого-цифрового преобразования требует решения технической задачи преодоления ограничения на длительность хранения аналогового сигнала.

Для решения данной задачи найдем зависимость, связывающую время преобразования сигнала АЦП  $\tau_n$ , время хранения запомненного аналогового сигнала  $\tau_3$  и величину шага дискретизации входного сигнала  $\tau_d$ .

Количество шагов дискретизации  $n_1$  в течение времени выполнения аналого-цифрового преобразования  $\tau_n$  в зависимости от длительности шага дискретизации  $\tau_d$  определим как ближайшее меньшее целое

$$n_1 = \tau_n / \tau_d, \tag{1}$$

а количество шагов дискретизации  $n_2$  в течении времени хранения  $\tau_3$  мгновенного значения входного сигнала  $x$  - как ближайшее меньшее целое

$$n_2 = \tau_3 / \tau_d. \tag{2}$$

Из (1),(2) следует

$$n_2 = (\tau_3 / \tau_n) n_1, \tag{3}$$

Для выполнения условий физической реализации необходимо, чтобы  $\tau_3 \geq \tau_n$ , а т.к.  $n_1, n_2$  - целые, то

$$n_2 = n_1 + 1 \tag{4}$$

обеспечивает минимальное время хранения сигнала  $x$  при заданных  $\tau_n$  и  $\tau_d$ .

Временная диаграмма выполнения конвейерного многоканального цифрового преобразования сигнала приведена на рис.1.

$\Pi_1$	1	2	3	4	5	$n_1 - 2$	$n_1 - 1$	$n_1$
$\Pi_2$	$n_1$	1	2	3	4	$n_1 - 3$	$n_1 - 2$	$n_1 - 1$
$\Pi_3$	$n_1 - 1$	$n_1$	1	2	3	$n_1 - 4$	$n_1 - 3$	$n_1 - 2$
$\Pi_{n-1}$	3	4	5	6	7	$n_1$	1	2
$\Pi_{n1}$	2	3	4	5	6	$n_1 - 1$	$n_1$	1

Рис.1

Временная диаграмма конвейерного многоканального аналого-цифрового преобразования с запоминанием мгновенных значений сигнала в  $n_1$  точках дискретизации

Здесь строки обозначают ступени конвейера  $\Pi_i$ , а столбцы отмечаются тактовыми импульсами. В устройстве конвейерной обработки для реализации временной диаграммы необходимо ввести счетчик тактовых импульсов с частотой, равной частоте дискретизации входного сигнала.

Структурная схема многоканального АЦП с запоминанием сигнала в четырёх точках дискретизации при  $\tau_d \ll \tau_n$  приведена на рис. 2.

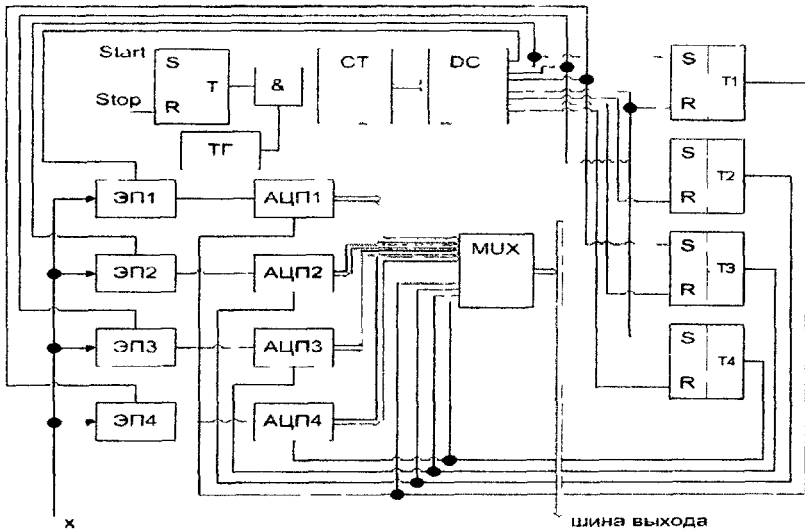


Рис 2

Структурная схема 4-ех разрядного аналого-цифрового преобразования

Основным элементом устройства является счётчик СТ с выходным дешифратором ДС, выходы которого через соответствующие триггеры Т1-Т4 формирует импульсы синхронизации для аналого-цифровых преобразователей АЦП1-ЦП4 и управляют записью в аналоговые элементы памяти ЭП1-ЭП4.

Выходы 1,2,3,4 дешифратора ДС подключены ко входам разрешения записи запоминающих элементов ЭП1-ЭП4, а выходы 2,3,4,5 дешифратора ДС соединены с S-входами триггеров Т1-Т4, соответственно.

Выходы 5,6,7,8 дешифратора ДС соединены, соответствен-

но, с R-входами триггеров T1-T4 и при этом выходы триггеров подключены ко входам синхронизации АЦП, информационные входы которых подключены к выходам элементов памяти ЭП1-ЭП4.

Элементы памяти аналоговых сигналов строятся на базе операционных усилителей при включении во входной цепи и цепи обратной связи конденсаторов с ключами управления[3]

Выбором коэффициента пересчёта равным 9 при данных соединениях организуется конвейерная обработка преобразования высокочастотных аналоговых сигналов [4] в цифровой код.

Пол сигналау start-начало преобразования триггер T устанавливается в единицу и импульсы тактового генератора ТГ, длительностью  $\tau_d$  поступают на вход счётчика СТ. Появление сигналов на соответствующих выходах дешифратора ДС приводит к запоминанию аналогового сигнала x в моменты  $\tau_d, 2\tau_d, 3\tau_d, 4\tau_d$  в элементах памяти ЭП<sub>1</sub>, ЭП<sub>2</sub>, ЭП<sub>3</sub>, ЭП<sub>4</sub> и установки триггеров T<sub>1</sub>, T<sub>2</sub>, T<sub>3</sub>, T<sub>4</sub> в единицу в моменты  $2\tau_d, 3\tau_d, 4\tau_d, 5\tau_d$ .

Переключение триггеров приводит к началу преобразования запомненных значений сигналов соответствующими АЦП. Окончание преобразования определяется переключением соответствующего триггера в состояние ноль

Выходы ступеней конвейера (выходы АЦП) подключены к шине выхода через мультиплексор MUX, адресным входом которого являются выходы триггеров T1-T4.

Увеличение частоты дискретизации приводит к увеличению числа ступеней конвейера до значения n1 и коэффициента пересчета счетчика до значения n1+1, определяемых из (1),(2), соответственно, не изменяя подхода к архитектурным решениям.

Таким образом, многоканальные АЦП с фиксированным временем выполнения преобразования при организации конвейерной обработки могут использоваться при преобразовании аналоговых сигналов с наперед заданным шагом дискретизации высокочастотных аналоговых сигналов.

*Работа выполнена при поддержке ФЦП «Научные и научно-педагогические кадры для инновационной России» на 2009-2013 годы, гос. контракт № 14.740.11.0390.*

**Литература**

1. Бабоян Р.Р. Микроэлектронные АЦП и ЦАП. – "Датчики и системы", 2008, № 8, с. 40-44.
2. Мерзлякин С.А. Сверхбыстродействующие АЦП: особенности архитектуры. – "Электроника, наука, технология, бизнес", 2008, № 1, с.30-33.
3. Гуменюк А.С. и Богаров Ю.И. Устройство выборки-хранения быстродействующих АЦП. – "Микроэлектроника", 2007, т. 36, № 5, с.390-400.
4. Корсунов Н.И. и Михелева М.В. Нейронная сеть для кластеризации звуковых сигналов по степени их тональности. - «Вопросы радиоэлектроники», сер. ЭВТ, 2010, вып. 1, с. 127-134.

*Статья поступила 12 10 2010*

**Д.т.н., проф. Н.И. Корсунов, к.т.н. Е.В. Корсунова,  
к.т.н. В.В. Муромцев, к.т.н. Бурданова Е.В. (Бел ГУ)**

**N.I. Korsunov, E.V. Korsunova, V.V. Muromtsev,  
E.V. Burdanova**

**ПРИМЕНЕНИЕ НЕЙРОННЫХ СЕТЕЙ ДЛЯ КОРРЕКЦИИ  
СТАТИЧЕСКИХ ПОГРЕШНОСТЕЙ ИЗМЕРИТЕЛЬНЫХ  
ПРЕОБРАЗОВАТЕЛЕЙ**

**APPLICATION OF NEURAL NETWORKS FOR CORRECTION OF  
STATIC ERRORS IN MEASURING CONVERTERS**

*В статье изложен подход к коррекции статических погрешностей измерительных преобразователей при использовании нейросетевых технологий. Предлагается архитектура сети и алгоритм ее обучения для получения корректирующей функции по обновляющимся экспериментальным данным в процессе эксплуатации.*

*Key words. transmitter, static error, neural network.*

Автоматизированные системы управления технологическими процессами и информационно-измерительные системы в качестве периферийных устройств содержат значительное количество из-